

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-134067
 (43)Date of publication of application : 12.05.2000

(51)Int.Cl. H03K 3/354

(21)Application number : 11-294555 (71)Applicant : ISEI DENSHI KOFUN YUGENKOSHI
 (22)Date of filing : 15.10.1999 (72)Inventor : LIN JYHFONG
 LEE SHAN-SHAN
 SWEI YUWEN

(30)Priority

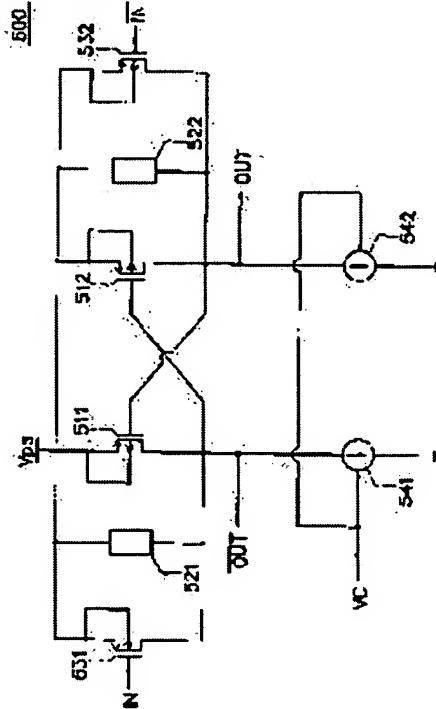
Priority number : 98 87117425 Priority date : 21.10.1998 Priority country : TW

(54) LOW VOLTAGE AND LOW JITTER VOLTAGE CONTROLLED OSCILLATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a voltage controlled oscillator whose oscillated signal frequency is hardly affected by fluctuation in a power supply and that is controlled at a low power supply voltage.

SOLUTION: This low voltage and low jitter voltage controlled oscillator includes a plurality of delay units 500 that are electrically connected in series to form a closed loop circuit. Each delay unit 500 has a symmetrical differential structure consisting of a plurality of MOS FETs. Moreover, only two transistors(TRs) are piled up between a power supply and ground. Thus, the low voltage and low jitter voltage controlled oscillator can be operated at a low voltage and not affected by fluctuation in the power supply voltage.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-134067

(P2000-134067A)

(43)公開日 平成12年5月12日 (2000.5.12)

(51)Int.Cl.⁷

H 0 3 K 3/354

識別記号

F I

テマコト(参考)

H 0 3 K 3/354

C

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21)出願番号 特願平11-294555

(71)出願人 599145753

(22)出願日 平成11年10月15日 (1999.10.15)

威盛電子股▲ふん▼有限公司
台灣省新店市中正路533號8樓

(31)優先権主張番号 8 7 1 1 7 4 2 5

(72)発明者 林志峰

(32)優先日 平成10年10月21日 (1998.10.21)

台灣臺北市興隆路四段141號3樓

(33)優先権主張国 台湾 (TW)

(72)発明者 李珊瑚

台灣高雄縣鳳山市建國路一段17巷26號

(72)発明者 隋或文

台灣臺北市信義路四段265巷31弄7號5樓
之11

(74)代理人 100104156

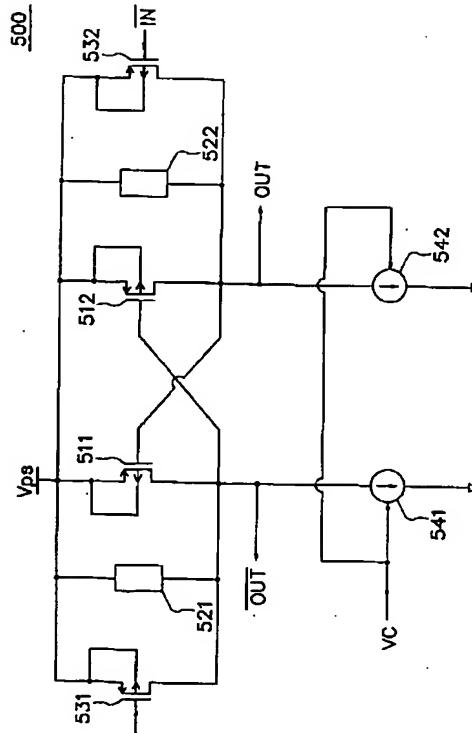
弁理士 龍華 明裕

(54)【発明の名称】 低電圧、低ジッター電圧制御発振器

(57)【要約】

【課題】発振信号の周波数が、電源の変動に影響されにくく、低い電源電圧で操作できる電圧制御発振器を提供する。

【解決手段】本発明による低電圧、低ジッター電圧制御発振器は、閉ループ回路を形成する為に直列に電気的に接続された複数の遅延ユニットを含む。それぞれの遅延ユニットは、複数のMOS FETにより構成される対称的な差動構造を有する。更に、2つのトランジスターだけが電源と接地との間に積み重ねられる。したがって、低電圧、低ジッター電圧制御発振器は、低電圧において操作でき、電源電圧の変動により影響されない。



【特許請求の範囲】

【請求項1】 制御電圧を受け取り、前記制御電圧に比例した周波数をそれぞれもつ出力信号及び相補出力信号を発生する低電圧、低ジッター電圧制御発振器であって、前記電圧制御発振器は、

入力端子、相補入力端子、出力端子、相補出力端子、及び電圧制御端子をそれぞれ有する第1の遅延ユニット、第2の遅延ユニット、及び第3の遅延ユニットを備え、前記第1の遅延ユニットの前記入力端子と前記相補入力端子とが、前記第3の遅延ユニットの前記相補出力端子と前記出力端子とに電気的に接続され、前記第2の遅延ユニットの前記入力端子と前記相補入力端子とが、前記第1の遅延ユニットの前記相補出力端子と前記出力端子とに電気的に接続され、前記第3の遅延ユニットの前記入力端子と前記相補入力端子とが、前記第2の遅延ユニットの前記相補出力端子と前記出力端子とに電気的に接続され、それぞれの遅延ユニットの前記入力及び前記相補入力端子と前記出力及び前記相補出力端子との間の遅延時間を制御する為に前記制御電圧が、それぞれの遅延ユニットの前記電圧制御端子に印加され、それぞれの遅延ユニットは、

ソースが電源に電気的に接続された第1のMOSFETと、

ソースが前記電源に電気的に接続され、ゲートが前記第1のMOS FETのドレインに電気的に接続され、ドレインが前記第1のMOS FETのゲートに電気的に接続された第2のMOS FETと、

両方の端子が、それぞれ前記第1のMOS FETの前記ソース及び前記ドレインに電気的に接続された第1の負荷デバイスと、

両方の端子が、それぞれ前記第2のMOS FETの前記ソース及び前記ドレインに電気的に接続された第2の負荷デバイスと、

ソースが前記電源に電気的に接続され、ドレインが前記第1のMOS FETの前記ドレインに電気的に接続され、ゲートがそれぞれの遅延ユニットの前記入力端子として働く第3のMOS FETと、

ソースが前記電源に電気的に接続され、ドレインが前記第2のMOS FETの前記ドレインに電気的に接続され、ゲートが前記遅延ユニットの前記相補入力端子として働く第4のMOS FETと、

第1の端子及び第2の端子の間に前記制御電圧に比例する電流を発生する為に前記第1の端子、前記第2の端子、及び制御端子を含み、前記第1の端子が前記第1のMOSFETの前記ドレインに電気的に接続され、前記第2の端子が接地され、前記制御端子が前記制御電圧を受け取る為の前記電圧制御端子として働く第1の電流源と、

子、及び制御端子を含み、前記第1の端子が前記第2のMOS FETの前記ドレインに電気的に接続され、前記第2の端子が接地され、前記制御端子が前記制御電圧を受け取る為の前記電圧制御端子として働く第2の電流源とを有することを特徴とする電圧制御発振器。

【請求項2】 制御電圧を受け取り、前記制御電圧に比例した周波数をそれぞれもつ出力信号及び相補出力信号を発生する低電圧、低ジッター電圧制御発振器であって、前記電圧制御発振器は、

入力端子、相補入力端子、出力端子、相補出力端子、及び電圧制御端子をそれぞれ有する第1の遅延ユニット、第2の遅延ユニット、及び第3の遅延ユニットを備え、前記第1の遅延ユニットの前記入力端子と前記相補入力端子とが、前記第3の遅延ユニットの前記相補出力端子と前記出力端子とに電気的に接続され、前記第2の遅延ユニットの前記入力端子と前記相補入力端子とが、前記第1の遅延ユニットの前記相補出力端子と前記出力端子とに電気的に接続され、前記第3の遅延ユニットの前記入力端子と前記相補入力端子とが、前記第2の遅延ユニットの前記相補出力端子と前記出力端子とに電気的に接続され、前記出力信号及び前記相補出力信号が、前記第3の遅延ユニットの前記出力端子及び前記相補出力端子から出力され、それぞれの遅延ユニットの前記入力及び相補入力端子と前記出力及び相補出力端子との間の遅延時間を制御する為に前記制御電圧が、それぞれの遅延ユニットの前記電圧制御端子に印加され、それぞれの遅延ユニットは、

ソースが電源に電気的に接続された第1のMOSFETと、

ソースが前記電源に電気的に接続され、ゲートが前記第1のMOS FETのドレインに電気的に接続され、ドレインが前記MOS FETのゲートに電気的に接続された第2のMOS FETと、

ソースが前記電源に電気的に接続され、ドレインが前記第1のMOS FETの前記ドレインに電気的に接続され、ゲートがそれぞれの遅延ユニットの前記入力端子として働く第3のMOS FETと、

ソースが前記電源に電気的に接続され、ドレインが前記第2のMOS FETの前記ドレインに電気的に接続され、ゲートがそれぞれの遅延ユニットの前記相補入力端子として働く第4のMOS FETと、

ゲートがそれ自身のドレインに電気的に接続され、ソースが前記電源に電気的に接続され、ドレインが前記第1のMOS FETの前記ドレインに電気的に接続された、第1の負荷として働く第5のMOS FETと、ゲートがそれ自身のドレインに電気的に接続され、ソースが前記電源に電気的に接続され、ドレインが前記第2のMOS FETのドレインに電気的に接続された、第

第1のMOS FETの前記ドレインに電気的に接続され、ソースが接地された、第1の電流源として働く第7のMOS FETと、

ゲートが前記電圧制御端子として働き、ドレインが前記第2のMOS FETの前記ドレインに電気的に接続され、ソースが接地された、第2の電流源として働く第8のMOS FETとを有することを特徴とする電圧制御発振器。

【請求項3】 制御電圧を受け取り、前記制御電圧に比例した周波数をそれぞれもつ出力信号及び相補出力信号を発生する低電圧、低ジッター電圧制御発振器であって、前記電圧制御発振器は、

入力端子、相補入力端子、出力端子、相補出力端子、及び電圧制御端子をそれぞれ有する第1の遅延ユニット、第2の遅延ユニット、及び第3の遅延ユニットを備え、前記第1の遅延ユニットの前記入力端子と前記相補入力端子とが、前記第3の遅延ユニットの前記相補出力端子と前記出力端子とに電気的に接続され、前記第2の遅延ユニットの前記入力端子と前記相補入力端子とが、前記第1の遅延ユニットの前記相補出力端子と前記出力端子とに電気的に接続され、前記第3の遅延ユニットの前記入力端子と前記相補入力端子とが、前記第2の遅延ユニットの前記相補出力端子と前記出力端子とに電気的に接続され、それぞれの遅延ユニットの前記入力及び前記相補入力端子と前記出力及び前記相補出力端子との間の遅延時間を制御する為に前記制御電圧が、それぞれの遅延ユニットの前記電圧制御端子に印加され、それぞれの遅延ユニットは、

ソースが電源に電気的に接続された第1のMOS FETと、

ソースが前記電源に電気的に接続され、ゲートが前記第1のMOS FETのドレインに電気的に接続され、ドレインが前記第1のMOS FETのゲートに電気的に接続された第2のMOS FETと、

ソースが前記電源に電気的に接続され、ドレインが前記第1のMOS FETの前記ドレインに電気的に接続され、ゲートがそれぞれの遅延ユニットの前記入力端子として働く第3のMOS FETと、

ソースが前記電源に電気的に接続され、ドレインが前記第2のMOS FETの前記ドレインに電気的に接続され、ゲートがそれぞれの遅延ユニットの前記相補入力端子として働く第4のMOS FETと、

ゲートがそれ自身のドレインに電気的に接続され、ソースが前記電源に電気的に接続され、ドレインが前記第1のMOS FETのドレインに電気的に接続された、第1の負荷として働く第5のMOS FETと、

ゲートがそれ自身のドレインに電気的に接続され、ソースが前記電源に電気的に接続され、ドレインが前記第2のMOS FETの前記ドレインに電気的に接続され、第2の負荷として働く第6のMOS FETと、

ゲートが固定バイアス電圧に電気的に接続され、ドレインが前記第1のMOS FETの前記ドレインに電気的に接続された第7のMOS FETと、

ゲートが前記電圧制御端子として働き、ドレインが前記第7のMOS FETの前記ソースに電気的に接続され、ソースが接地された第8のMOS FETと、

ゲートが固定バイアス電圧に電気的に接続され、ドレインが前記第2のMOS FETの前記ドレインに電気的に接続された第9のMOS FETと、

ゲートが前記電圧制御端子として働き、ドレインが前記第9のMOS FETの前記ソースに電気的に接続され、ソースが接地された第10のMOS FETと有し、

前記第7のMOS FET及び前記第8のMOS FETが、第1の電流源として働き、前記第9のMOS FET及び前記第10のMOS FETが、第2の電流源として働くことを特徴とする電圧制御発振器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電圧制御発振器に関する。特に本発明は、低電圧、低ジッター電圧制御発振器に関する。

【0002】

【従来の技術】 半導体技術の大きな進歩により、現代のコンピューターの操作速度は速くなってきてている。しかしながら、操作速度の増加は、電力消費の増加に帰着する。電力消費を効率的に減少するために、現代のコンピューターの操作電圧は、徐々に5Vから3.3V又は2.5V、さらに2.0Vよりも低い電圧にまで低められている。操作電圧の低下に伴って、のように低電圧状態において働くように多くの数の回路、例えばクロック信号を与える発振器、が更に改良されなければならない。更に、現在のコンピューターシステムにおいて用いられるクロック信号は、異なる周波数を有する。異なる周波数をもつ大部分のクロック信号は、多数のサブシステムが使用する為に、フェイズロックループ回路によって基準クロック信号に基づいて比例して発生される。コンピューターシステム内の電圧制御発振器は、フェイズロックループ回路の性能に影響する主要因の一つである。更に、電圧制御発振器の性能は、長期ジッター、短期ジッター、及び電源電圧の変動による影響に基づいて評価することができる。

【0003】 図1は、従来の電圧制御発振器の回路図を示す。

【0004】 図1を参照して、従来の電圧制御発振器は、閉ループ回路であり、直列に電気的に接続された3つのインバーター111, 112, 及び113を含む。制御電圧VCは、入力端子と出力端子との間の信号遅延時間を決定して各インバーターを制御する為に用いられる。この回路は、電圧制御発振器の性能を決定する主要因の一つである。

遅延時間を制御することにより決定できる。

【0005】図2は、MOS FETにより構成される従来の電圧制御発振器200の回路図を示す。

【0006】図2に示すように、電圧制御発振器200は、それぞれMOS FET211, 221、MOS FET212, 222、及びMOS FET213, 223によって構成された3つのインバーターからなる閉ループ回路である。制御電圧VCは、それぞれのインバーターの応答時間を制御する為にMOS FET211, 212, 及び213のゲートに入力され、それによって閉ループ回路の出力信号VOの周波数を決定する。

【0007】以上に説明したように、電圧制御発振器200によって発生された出力信号VOの周波数は、制御電圧VOによって制御されることができる。しかしながら電圧制御発振器の特性は、それぞれのインバーターが2つのMOS FETだけからなるので電源VPSの変動によって容易に影響されて出力信号の周波数が変動する。

【0008】図3は、他の従来の電圧制御発振器の遅延ユニット300の回路図を示す。同様に、従来の電圧制御発振器もまた、3つのインバーターからなる閉ループ回路である。

【0009】1つの入力端子及び1つの出力端子だけを有する前のインバーターと比較すると、図3に示す遅延ユニット300は、入力端子IN及び出力端子OUTばかりでなく、電源VPSの変動に対する感度を減少する為の相補入力端子/IN（ここで/は、相補を示す）及び相補出力端子/OUTをも有する。遅延ユニット300においてMOS FET311及び312は、ラッチ回路を構成する。MOS FET321及び332は、ダイオードの形態に接続され、能動負荷デバイスとして働く。MOS FET331及び332は、差動入力の為に用いられ、ここでそれらのゲートは、入力端子IN及び相補入力端子/INとして働く。MOS FET340は、制御電圧VCにちょうど比例したドレン電流（電流源）を供給する為に、制御電圧VCによって制御され、それによって遅延ユニットの遅延時間を決定する。したがって、複数の遅延ユニットからなる閉ループ回路によって発生された発振信号の周波数は、制御電圧によって制御されることができる。

【0010】遅延ユニット300からなる電圧制御発振器がより良い性能を有するにもかかわらず、電源VPS及び接地との間で互いに積み重ねられた3層のMOS FETは、より高い操作電圧を必要とする。各MOS FETのドレン電流は、

【数1】

$$I_D = \frac{\mu_0 \epsilon_0 W}{2t_{0x}} \frac{1}{L} (V_{gs} - V_{in}) (1 + \lambda V_{DS})$$

【0011】遅延ユニット300に必要な最低の操作電圧は、 $2V_t + 3\Delta V$ であり、ここで $\Delta V = V_{gs} - V_{in}$ である。

【0012】以上に示されるように、必要な操作電圧は、 $\Delta V = 0.3V$ 、及び $V_t = 0.9V$ の場合、 $2.7V$ より大きくなければならない。しかしながら、現在のコンピューターシステムの電源は、 $2.5V$ の低さにでき、 $2.0V$ より低い電圧にも低くできるので、遅延ユニット300は、この場合通常に操作できない。

【0013】したがって、従来技術は以下の欠点を有する。

1. 第1の従来の電圧制御発振器は、単純な構造を有する。しかし、発生された発振信号の周波数は、電源の変動により容易に影響される。

2. 第2の従来の電圧制御発振器は、より良い性能を有する。しかしながら、それはより高い操作電圧を必要とするので、低い電源電圧を用いるコンピューターシステムの要求を満たすことができない。

【0014】

【発明が解決しようとする課題】そこで本発明は、上記の課題を解決することのできる低電圧、低ジッター電圧制御発振器を提供することを目的とする。上記の目的を達成する為に、制御電圧を受け取り、制御電圧に比例した周波数の出力信号及び相補出力信号を発生する低電圧、低ジッター電圧制御発振器が提供される。

【0015】

【課題を解決するための手段】電圧制御発振器は、

【0016】入力端子、相補入力端子、出力端子、相補出力端子、及び電圧制御端子をそれぞれ有する第1の遅延ユニット、第2の遅延ユニット、及び第3の遅延ユニットを備え、第1の遅延ユニットの入力端子と相補入力端子とが、第3の遅延ユニットの相補出力端子と出力端子とに電気的に接続され、第2の遅延ユニットの入力端子と相補入力端子とが、第1の遅延ユニットの相補出力端子と出力端子とに電気的に接続され、第3の遅延ユニットの入力端子と相補入力端子とが、第2の遅延ユニットの相補出力端子と出力端子とに電気的に接続され、出力信号及び相補出力信号が、第3の遅延ユニットの出力端子及び相補出力端子から出力され、それぞれの遅延ユニットの入力及び相補入力端子と出力及び相補出力端子との間の遅延時間を制御する為に制御電圧が、それぞれの遅延ユニットの電圧制御端子に印加される。

【0017】それぞれの遅延ユニットは、第1のMOS FET、第2のMOS FET、第1の負荷デバイス、第2の負荷デバイス、第3のMOS FET、第4のMOS FET、第1の電流源及び第2の電流源を備える。

【0018】第1のMOS FETのソースと第2のMOS FETのソースとが電源に電気的に接続される。

第2のMOS FETのゲートと第1のMOS FET

のドレインに電気的に接続される。第2のMOS FETのドレインは第1のMOSFETのゲートに電気的に接続される。

【0019】第1の負荷デバイスの両方の端子は、それぞれ第1のMOS FETのソース及びドレインに電気的に接続される。

【0020】第2の負荷デバイスの両方の端子は、それぞれ第2のMOS FETのソース及びドレインに電気的に接続される。

【0021】第3のMOS FETは、電源に電気的に接続されるソース、第1のMOSFETのドレインに電気的に接続されるドレイン、及びそれぞれの遅延ユニットの入力端子として働くゲートを有する。

【0022】第4のMOS FETは、電源に電気的に接続されるソース、第2のMOSFETのドレインに電気的に接続されるドレイン、及びそれぞれの遅延ユニットの相補入力端子として働くゲートを有する。

【0023】第1の電流源は、第1の端子及び第2の端子の間に制御電圧に比例する電流を発生する為に第1の端子、第2の端子、及び制御端子を有する。第1の端子は、第1のMOS FETのドレインに電気的に接続される。第2の端子は、接地される。制御端子は、制御電圧を受け取る為の電圧制御端子として働く。

【0024】第2の電流源は、第1の端子及び第2の端子の間に制御電圧に比例する電流を発生する為に第1の端子、第2の端子、及び制御端子を有する。第1の端子は、第2のMOS FETのドレインに電気的に接続される。第2の端子は、接地される。制御端子は、制御電圧を受け取る為の電圧制御端子として働く。

【0025】本発明の実施形態によれば、第1の負荷デバイスは、ゲートがそれ自身のドレインに電気的に接続され、ソースが電源に電気的に接続され、ドレインが第1のMOS FETのドレインに電気的に接続されたMOS FETである。第2の負荷デバイスは、ゲートがそれ自身のドレインに電気的に接続され、ソースが電源に電気的に接続され、ドレインが第2のMOS FETのドレインに電気的に接続されたMOS FETである。

【0026】更に、第1の電流源は、ゲートが制御端子として働き、ドレインが第1のMOS FETのドレインに電気的に接続され、ソースが接地されたMOS FETである。同様に、第2の電流源は、ゲートが制御端子として働き、ドレインが第2のMOS FETのドレインに電気的に接続され、ソースが接地されたMOSFETである。

【0027】また、第1の電流源は、第5のMOS FET及び第6のMOS FETを備える。第5のMOS

FETは、第1のMOS FETのドレインに電気的に接続されたドレイン及び固定バイアス電圧に電気的に接続されたゲートした右オズ 第5のMOS FETは、

接地されたソース、第5のMOS FETのソースに電気的に接続されたドレイン、及び制御ゲートとして働くゲートを有する。同様に、第2の電流源は、第7のMOS FET及び第8のMOS FETを備える。第7のMOS FETは、第2のMOS FETのドレインに電気的に接続されたドレイン及び固定バイアス電圧に電気的に接続されたゲートを有する。第8のMOS FETは、接地されたソース、第7のMOS FETのソースに電気的に接続されたドレイン、及び制御端子として働くゲートを有する。

【0028】なお上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションも又発明となりうる。

【0029】

【発明の実施の形態】図4は、本発明による電圧制御発振器400のブロック回路図を示す。図4に示すように、電圧制御発振器400は、制御電圧に比例した周波数の出力信号VOを発生する為に制御電圧VCによって制御される。

【0030】電圧制御発振器400は、閉ループ回路を形成する遅延ユニット411、412、及び413ばかりでなく、遅延ユニット413に続く遅延ユニット414及びレベルシフター420をも含む。遅延ユニット414は、出力信号VOが閉ループ回路（遅延ユニット411、412、及び413を含む）にはね返って発振周波数を変えるのを防ぐことができる。レベルシフター420は、遅延ユニット414から出力された差分信号を单一の終端出力信号VOに変換するのに用いられる。

【0031】同一の回路構造及び特性を有するそれぞれの遅延ユニット411、412、及び413は、入力端子IN、相補入力端子/IN、出力端子OUT、相補出力端子/OUT、及び電圧制御端子VCを有する。入力端子INの信号状態は、相補入力端子/INの信号状態の相補であり、一方、出力端子OUTの信号状態は、相補出力端子/OUTの信号状態の相補である。更に、各遅延ユニットが安定した状態にあるとき、入力端子INの信号状態は、相補出力端子/OUTと逆の信号状態である。例えば、入力端子INが、高いポテンシャルであるとき、相補出力端子/OUTは、低いポテンシャルであり、逆もまた同様である。同様に、相補入力端子/INの信号状態もまた、出力端子OUTと逆の信号状態である。各遅延ユニットの出力端子における信号状態は、入力端子における信号状態の変化にしたがって変化する。出力端子における信号状態の変化率は、電圧制御端子におけるポテンシャルにより決められる。したがって、入力端子と出力端子との間の遅延時間が制御されることができる。

【0032】遅延ユニット411、412、及び413を直列に接続する方法が、以下に示される。遅延ユニット411の山十端子H11T及び山十端子H11T

は、遅延ユニット412の相補入力端子／IN及び入力端子INにそれぞれ電気的に接続される。遅延ユニット412の出力端子OUT及び相補出力端子／OUTは、遅延ユニット413の相補入力端子／IN及び入力端子INにそれぞれ電気的に接続される。遅延ユニット413の出力端子OUT及び相補出力端子／OUTは、遅延ユニット411の相補入力端子／IN及び入力端子INに電気的に接続される。以上に明らかに見ることができるよう、遅延ユニット411、412、及び413は、閉ループ発振回路を形成する為に電気的に直列に接続される。更に、制御電圧VCは、入力及び相補入力端子IN／INと出力及び相補出力端子OUT／OUTとの間の遅延時間を制御する為にそれぞれの遅延ユニットの電圧制御端子に入力される。

【0033】図5は、図4の遅延ユニットの回路図を示す。ここで、遅延ユニットには異なる符号500が与えられている。遅延ユニット500は、MOS FET511、512、531、及び532と、電流源541及び542と、負荷デバイス521及び522とを含む。MOS FET511、512、531、及び532は、P型MOS FETである。

【0034】図5に示すように、MOS FET511及び512は、互いに電気的に接続されてラッチ回路を形成する。負荷デバイス521の両方の端子は、MOS FET511のソース及びドレインに電気的に接続され、一方、負荷デバイス522の両方の端子は、MOS FET512のソース及びドレインに電気的に接続される。

【0035】MOS FET531のソース及びドレインは、MOS FET511のソース及びドレインに電気的に接続される。MOS FET531のゲートは、入力端子INとして働く。同様に、MOS FET532のソース及びドレインは、MOS FET512のソース及びドレインに電気的に接続される。MOS FET532のゲートは、相補入力端子／INとして働く。

【0036】出力端子OUTは、MOS FET512のドレインから出力され、一方、相補出力端子／OUTは、MOS FET511のドレインから出力される。

【0037】更に、電流源541は、MOS FET511のドレインと接地との間に電気的に接続され、一方、電流源542は、MOS FET512のドレインと接地との間に電気的に接続される。電流源541及び542の両方は、制御電圧VCに比例した電流を発生する為に制御電圧VCによって制御される。遅延ユニット500の信号遅延は、制御電圧VCによって完全に制御され、それによって、遅延ユニット500を備える電圧制御発振器によって発生される発振信号の周波数を変える。更に、電圧制御発振器の発振周波数が制御電圧VCのみによって制御されるという、もう1つの利点がある。

って決められ、電源電圧には依存しない。すなわち、電流源として働くMOS FETが飽和領域内で操作できる限り、対応する電流は一定であり、発振周波数は、制御電圧VCのみによって決定され、電源Vpsには依存しない。

【0038】実際の適用においては、遅延ユニット500の負荷デバイス521、522、及び電流源541、542は、MOS FETであってもよい。図6は、図5の遅延ユニットの詳細な回路図である。図6から見ることができるように、負荷デバイス521、522と電流源541及び542とがMOS FETに置き換えられたのを除いて、遅延ユニット600の他の部分は、同じ符号で示された遅延ユニット500の他の部分と同様である。

【0039】図6を参照して、MOS FET621のゲートは、それ自身のドレインに電気的に接続されてダイオードの形態をした能動負荷デバイスを形成する。MOS FET621は、MOS FET511のソースとドレインとの間に電気的に接続された負荷デバイス521と置き換えられる為に用いられる。同様に、MOS FET622のゲートは、それ自身のドレインに電気的に接続されてダイオードの形態をした能動負荷デバイスを形成する。MOS FET622は、MOS FET512のソースとドレインとの間に電気的に接続された負荷デバイス522と置き換えられる為に用いられる。

【0040】MOS FET641は、電流源541として機能する。制御電圧VCは、MOS FET641のゲートに電気的に接続される。MOS FET641のドレイン電流は、制御電圧VCの2乗にちょうど比例する。同様に、MOS FETは、電流源542として機能する。制御電圧VCもまた、MOS FET642のゲートに電気的に接続される。MOS FET642のドレイン電流もまた、制御電圧VCの2乗にちょうど比例する。遅延ユニット600の信号遅延は、制御電圧VCによって完全に制御されるので、遅延ユニット600を備えた電圧制御発振器によって発生される発振信号の周波数は、変えられる。

【0041】図7は、図5の遅延ユニットの他の詳細な回路図を示す。

【0042】図7に示すように、各遅延ユニットの特性を更に改善する為に、2つのMOSFET741、641は、電流源541として機能する直列電流源を形成する為に直列に電気的に接続される。同様に、2つのMOSFET742、642は、電流源542として機能する直列電流源を形成する為に直列に電気的に接続される。その上、MOS FET741、742のゲートは、固定バイアス電圧Vbiasに電気的に接続される。制御電圧VCは、発生された電流の振幅を制御する為にMOS FET641、642のゲートに入力され、一方で電気的に接続された2つのMOS FET

は、更に高い出力インピーダンスを有するので、それは理想的な電流源として考えられる。したがって、発生された電流は、更に安定することができる。電源 V_{ps} 及び制御電圧 V_C の変動に容易に影響されない安定した発振周波数となる。本発明による電圧制御発振器において、それぞれの遅延ユニットは対称的な差動構造を有する。それぞれの遅延ユニットの等価的な回路は、図 3 のそれと同様である。したがって、発生された発振信号の周波数が電源電圧の変動に影響されなくなり、低ジッターを有するばかりでなく、2つのFETだけが電源と接地との間に形成されているので電源の操作電圧が $V_t + 2\Delta V$ に減少される。

【0043】前に仮定したのと同様に、 ΔV が 0.3V であり、 V_t が 0.9V であると、操作電圧は、通常の操作で 1.5V の低さにまで低減されることがある。したがって、発明の電圧制御発振器は、低電圧操作の要求を満たす。

【0044】従来技術と比較すると、発明の電圧制御発振器は、以下の利点を有する。

(1) 発生された発振信号の周波数が電源の変動によって影響されるのを防ぐ為に対称差動構造が採用された。

(2) 電圧制御発振器に含まれる遅延ユニットは、性能に少しの影響も与えずに低い操作電圧において操作できる。したがって、電圧制御発振器は、低電圧電源において操作されるコンピューターの要求を満たす。

【0045】以上、本発明を実施形態を使って説明したが、本発明の適用範囲は上述の実施形態に限定されるものではない。本発明の範囲は上述の実施形態に様々な修正や変更を加えた形態を含む事が当業者には明白である。従って、特許請求の範囲はこのような修正や変更を加えた形態を含む最も広義の解釈を与えられるべきものである。

【0046】

【発明の効果】上記説明から明らかのように、本発明の

電圧制御発振器は、発振信号の周波数が、電源の変動に影響されにくく、低い電源電圧で操作できる。

【図面の簡単な説明】

【図1】図1は、一般の電圧制御発振器の回路図を示す。

【図2】図2は、MOS FETにより構成される従来の電圧制御発振器の回路図を示す。

【図3】図3は、他の従来の電圧制御発振器の遅延ユニットの回路図を示す。

【図4】図4は、本発明の電圧制御発振器のブロック回路図を示す。

【図5】図5は、図4の遅延ユニットの回路図を示す。

【図6】図6は、図5の詳細な回路図である。

【図7】図7は、図5の他の詳細な回路図を示す。

【符号の説明】

V_C 制御電圧

V_O 出力信号

111, 112, 113 インバーター

200 従来の電圧制御発振器

V_{ps} 電源

300, 411, 412, 413, 414, 500, 600, 700 遅延ユニット

211, 212, 213, 221, 222, 223, 311, 312, 321, 322, 331, 332, 340, 511, 512, 531, 532, 621, 622, 641, 642, 741, 742 MOS FET

OUT 出力電圧

/OUT 相補出力電圧

IN 入力電圧

/IN 相補入力電圧

400 本発明の電圧制御発振器

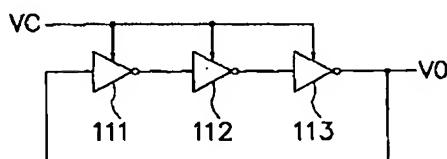
420 レベルシフター

521, 522 負荷デバイス

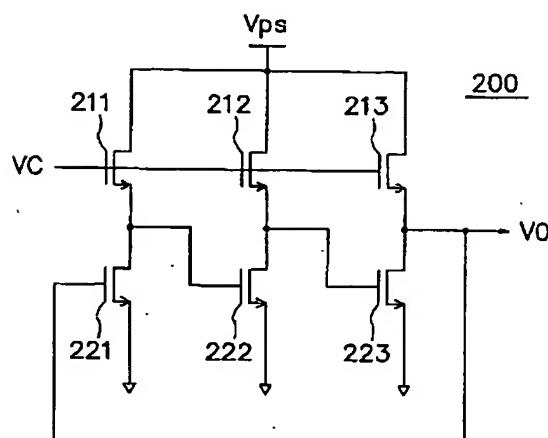
541, 542 電流源

V_{bias} 固定バイアス電圧

【図1】

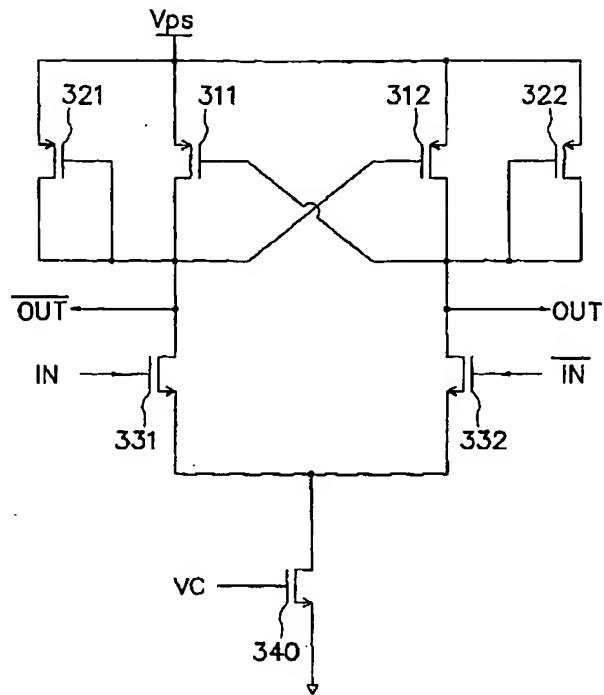


【図2】



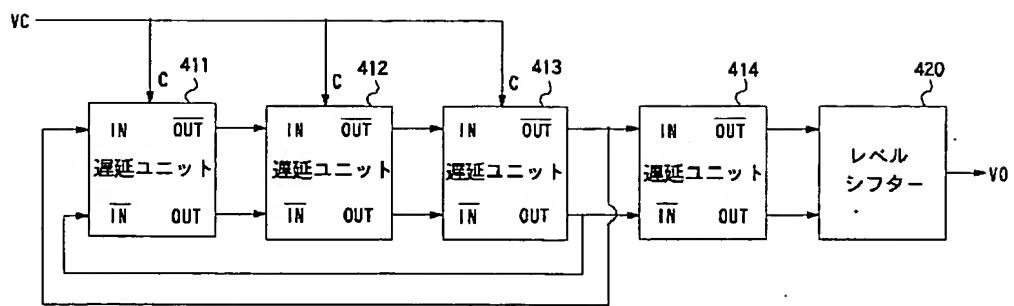
【図3】

300

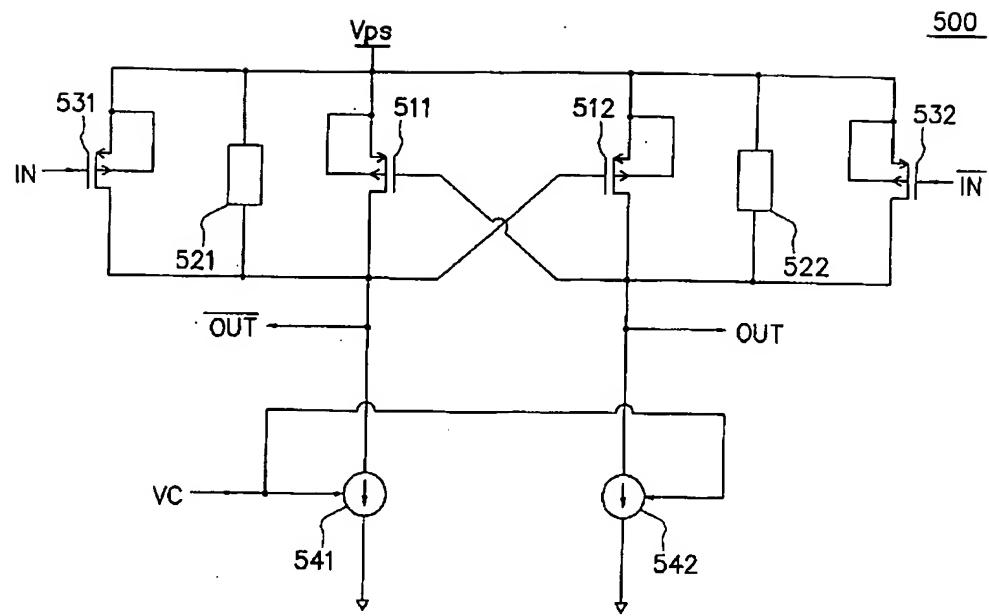


【図4】

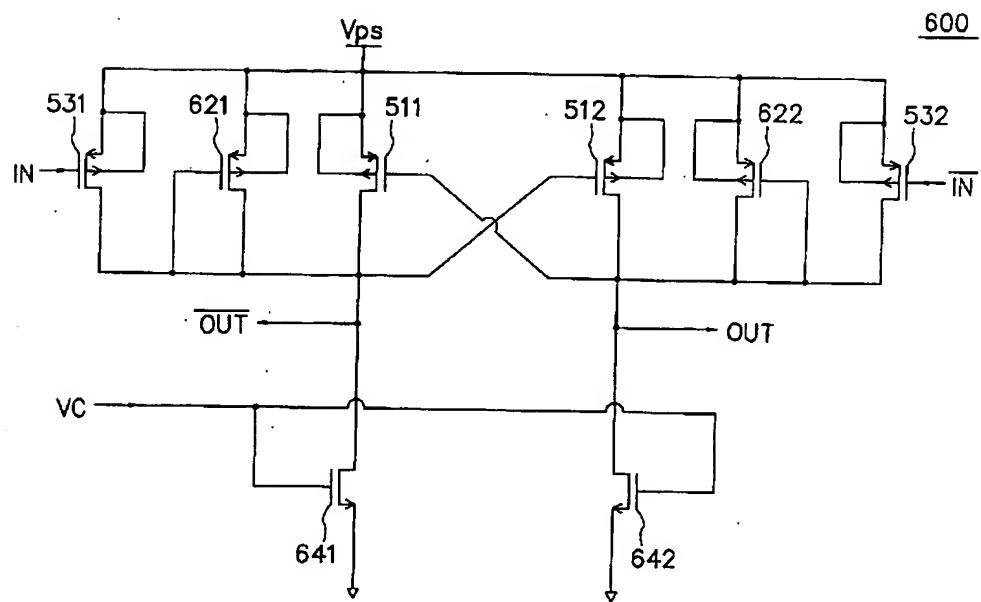
400



【図5】



【図6】



【図7】

